

日 本 国 特 許 庁
JAPAN PATENT OFFICE

10.2.2004

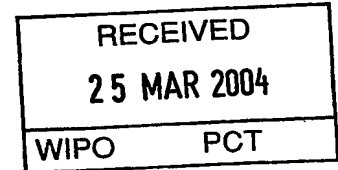
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 7 8 6 2 4
Application Number:
[ST. 10/C] : [J . P 2 0 0 3 - 0 7 8 6 2 4]

出 願 人 浜 松 ホ ト ニ ク ス 株 式 会 社
Applicant(s):

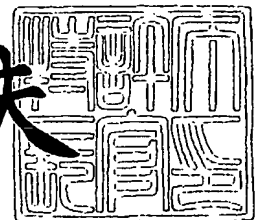


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 3 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2003-0147

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 G01T 1/24

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

【氏名】 杉山 行信

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

【氏名】 水野 誠一郎

【特許出願人】

【識別番号】 000236436

【氏名又は名称】 浜松ホトニクス株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100089978

【弁理士】

【氏名又は名称】 塩田 辰也

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光検出装置

【特許請求の範囲】

【請求項 1】 画素が 2 次元配列された光感应領域を有する光検出装置であって、

各々入射した光の強度に応じた電流を出力する複数の光感应部分を同一面内に隣接して配設することで 1 画素が構成され、

前記 2 次元配列における第 1 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感应部分のうち一方の光感应部分同士が電氣的に接続され、

前記 2 次元配列における第 2 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感应部分のうち他方の光感应部分同士が電氣的に接続されており、

前記第 1 の方向に配列された前記複数の画素間において電氣的に接続された一方の光感应部分群からの電流出力、及び、前記第 2 の方向に配列された前記複数の画素間において電氣的に接続された他方の光感应部分群からの電流出力を読み出し、当該電流出力に基づいて前記 2 次元配列における第 1 の方向及び第 2 の方向での輝度プロファイルを検出するための信号処理回路を備えることを特徴とする光検出装置。

【請求項 2】 前記信号処理回路は、

前記一方の光感应部分群からの電流出力を前記第 2 の方向に順次読み出し、前記他方の光感应部分群からの電流出力を前記第 1 の方向に順次読み出すためのシフトレジスタと、

前記シフトレジスタにより順次読み出される前記各一方の光感应部分群からの電流出力及び前記各他方の光感应部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する積分回路と、を有することを特徴とする請求項 1 に記載の光検出装置。

【請求項 3】 前記信号処理回路は、

前記一方の光感应部分群及び前記他方の光感应部分群に対応して設けられ、対

応する一方の光感応部分群からの電流出力及び前記他方の光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する積分回路と、

前記積分回路に対応して設けられ、対応する積分回路から出力される電圧値の変化量に応じた値の電圧を出力するCDS回路と、

前記CDS回路に対応して設けられ、対応するCDS回路から出力される電圧出力を保持して出力するサンプルアンドホールド回路と、

前記サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する最大値検出回路と、

前記サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を前記最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力するA/D変換回路と、を有することを特徴とする請求項1に記載の光検出装置。

【請求項4】 光感応領域を有する光検出装置であって、

前記光感応領域は、第1の方向にわたって互いに電氣的に接続される複数の第1光感応部分と前記第1の方向に交差する第2の方向にわたって互いに電氣的に接続される複数の第2光感応部分とを含み、

前記複数の第1光感応部分と前記複数の第2光感応部分とは2次元的に混在した状態で同一面内にて配列されており、

前記第1の方向にわたって互いに電氣的に接続された第1光感応部分群からの電流出力、及び、前記第2の方向にわたって互いに電氣的に接続された第2光感応部分群からの電流出力を読み出して当該電流出力に基づいて前記2次元配列における第1の方向及び第2の方向での輝度プロファイルを検出するための信号処理回路を備えることを特徴とする光検出装置。

【請求項5】 前記信号処理回路は、

前記第1光感応部分群からの電流出力を前記第2の方向に順次読み出し、前記第2光感応部分群からの電流出力を前記第1の方向に順次読み出すためのシフトレジスタと、

前記シフトレジスタにより順次読み出される前記各第1光感応部分群からの電流出力及び前記第2光感応部分群からの電流出力を順次入力し、その電流出力を

電圧出力に変換する積分回路と、を有することを特徴とする請求項4に記載の光検出装置。

【請求項6】 前記信号処理回路は、

前記第1光感应部分群及び前記第2光感应部分群に対応して設けられ、対応する第1光感应部分群からの電流出力及び前記第2光感应部分群からの電流出力を電圧出力に変換して、電圧値を出力する積分回路と、

前記積分回路に対応して設けられ、対応する積分回路から出力される電圧値の変化量に応じた値の電圧を出力するCDS回路と、

前記CDS回路に対応して設けられ、対応するCDS回路から出力される電圧出力を保持して出力するサンプルアンドホールド回路と、

前記サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する最大値検出回路と、

前記サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を前記最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力するA/D変換回路と、を有することを特徴とする請求項4に記載の光検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光が入射した2次元位置を検出する光検出装置に関するものである。

【0002】

【従来の技術】

従来における光検出装置においては、MOS型イメージセンサ等の固体撮像素子を用いて、撮像により得られた画像データを画像メモリに取り込み、画像処理して2次元位置を検出するのが一般的である（例えば、特許文献1参照。）。

【0003】

【特許文献1】

特許第2573855号公報

【0004】

【発明が解決しようとする課題】

しかしながら、上述した従来の技術においては、得られた画像データを格納する画像メモリが必要となることから、装置構成が複雑なものになってしまう。また、画像データを画像メモリに格納した後に演算処理を行って2次元位置を検出するため、2次元位置の検出処理に時間がかかってしまう。

【0005】

本発明は上述の点に鑑みてなされたもので、2次元位置の検出処理の高速化及び構成の簡素化を図ることが可能な光検出装置を提供することを課題とする。

【0006】

【課題を解決するための手段】

本発明に係る光検出装置は、画素が2次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで1画素が構成され、2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電気的に接続され、2次元配列における第2の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電気的に接続されており、第1の方向に配列された複数の画素間において電気的に接続された一方の光感応部分群からの電流出力、及び、第2の方向に配列された複数の画素間において電気的に接続された他方の光感応部分群からの電流出力を読み出し、当該電流出力に基づいて2次元配列における第1の方向及び第2の方向での輝度プロファイルを検出するための信号処理回路を備えることを特徴としている。

【0007】

本発明に係る光検出装置では、1つの画素に入射した光は当該画素を構成する複数の光感応部分それぞれにおいて検出されて、光強度に応じた電流が光感応部分毎に出力される。そして、一方の光感応部分同士が2次元配列における第1の方向に配列された複数の画素にわたって電気的に接続されているので、一方の光感応部分からの電流出力は第1の方向に送られる。また、他方の光感応部分同士

が 2 次元配列における第 2 の方向に配列された複数の画素にわたって電氣的に接続されているので、他方の光感応部分からの電流出力は第 2 の方向に送られる。このように、一方の光感応部分からの電流出力は第 1 の方向に送られるとともに、他方の光感応部分からの電流出力は第 2 の方向に送られることから、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1 画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の 2 次元位置を高速に検出することができる。

【 0 0 0 8 】

また、本発明においては、1 つの信号処理回路により、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとがそれぞれ検出される。一方の光感応部分群からの電流出力を処理するための回路と他方の光感応部分群からの電流出力を処理するための回路とが共通化されるので、回路面積を縮小することができ、低コスト化を図ることができる。

【 0 0 0 9 】

また、上記信号処理回路は、一方の光感応部分群からの電流出力を第 2 の方向に順次読み出し、他方の光感応部分群からの電流出力を第 1 の方向に順次読み出すためのシフトレジスタと、シフトレジスタにより順次読み出される各一方の光感応部分群からの電流出力及び各他方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する積分回路と、を有することが好ましい。このように構成した場合、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとを極めて簡易な構成にて得ることができる。

【 0 0 1 0 】

また、上記信号処理回路は、一方の光感応部分群及び他方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力及び他方の光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する積分回路と、積分回路に対応して設けられ、対応する積分回路から出力される電圧値の変化量に応じた値の電圧を出力する C D S 回路と、C D S 回路に対応して設けられ、対応する C D S 回路から出力される電圧出力を保持して出力するサンプルアンドホー

ルド回路と、サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する最大値検出回路と、サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力するA/D変換回路と、を有することが好ましい。このように構成した場合、積分回路それぞれが積分動作ごとに異なるノイズばらつきを有していても、CDS回路によりノイズ誤差が解消される。また、光感応部分に入射する光強度が大きいときのみならず、光強度が小さくてもA/D変換の分解能が優れたものとなる。この結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度にて得ることができる。

【0011】

本発明に係る光検出装置は、光感応領域を有する光検出装置であって、光感応領域は、第1の方向にわたって互いに電氣的に接続される複数の第1光感応部分と第1の方向に交差する第2の方向にわたって互いに電氣的に接続される複数の第2光感応部分とを含み、複数の第1光感応部分と複数の第2光感応部分とは2次元的に混在した状態で同一面内にて配列されており、第1の方向にわたって互いに電氣的に接続された第1光感応部分群からの電流出力、及び、第2の方向にわたって互いに電氣的に接続された第2光感応部分群からの電流出力を読み出して当該電流出力に基づいて2次元配列における第1の方向及び第2の方向での輝度プロファイルを検出するための信号処理回路を備えることを特徴としている。

【0012】

本発明に係る光検出装置では、光感応領域に入射した光はいずれかの第1光感応部分及び第2光感応部分において検出されて、光強度に応じた電流が各光感応部分毎に出力される。そして、第1光感応部分同士が第1の方向にわたって電氣的に接続されているので、第1光感応部分からの電流出力は第1の方向に送られる。また、第2光感応部分同士が第2の方向にわたって電氣的に接続されているので、第2光感応部分からの電流出力は第2の方向に送られる。このように、第1光感応部分からの電流出力は第1の方向に送られるとともに、第2光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファ

イルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、複数の第1光感応部分と複数の第2光感応部分とを2次元的に混在した状態で同一面内にて配列するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0013】

また、本発明においては、1つの信号処理回路により、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとがそれぞれ検出される。第1光感応部分群からの電流出力を処理するための回路と第2光感応部分群からの電流出力を処理するための回路とが共通化されるので、回路面積を縮小することができる、低コスト化を図ることができる。

【0014】

また、上記信号処理回路は、第1光感応部分群からの電流出力を第2の方向に順次読み出し、第2光感応部分群からの電流出力を第1の方向に順次読み出すためのシフトレジスタと、シフトレジスタにより順次読み出される各第1光感応部分群からの電流出力及び第2光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する積分回路と、を有することが好ましい。このように構成した場合、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを極めて簡易な構成にて得ることができる。

【0015】

また、上記信号処理回路は、第1光感応部分群及び第2光感応部分群に対応して設けられ、対応する第1光感応部分群からの電流出力及び第2光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する積分回路と、積分回路に対応して設けられ、対応する積分回路から出力される電圧値の変化量に応じた値の電圧を出力するCDS回路と、CDS回路に対応して設けられ、対応するCDS回路から出力される電圧出力を保持して出力するサンプルアンドホールド回路と、サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する最大値検出回路と、サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力するA/D変換回路と、

を有することが好ましい。このように構成した場合、積分回路それぞれが積分動作ごとに異なるノイズばらつきを有していても、CDS回路によりノイズ誤差が解消される。また、光感应部分に入射する光強度が大きいときのみならず、光強度が小さくてもA/D変換の分解能が優れたものとなる。この結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度にて得ることができる。

【0016】

【発明の実施の形態】

本発明の実施形態に係る光検出装置について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。以下では、パラメータM及びNそれぞれを2以上の整数とする。また、特に明示しない限りは、パラメータmを1以上M以下の任意の整数とし、パラメータnを1以上N以下の任意の整数とする。

【0017】

図1は、本実施形態に係る光検出装置を示す概念構成図である。本実施形態に係る光検出装置1は、図1に示されるように、光感应領域10と、信号処理回路20とを有している。

【0018】

光感应領域10は、画素11_{mn}がM行N列に2次元配列されている。1画素は、各々に入射した光の強度に応じた電流を出力する光感应部分12_{mn}（第1光感应部分）及び光感应部分13_{mn}（第2光感应部分）を同一面内にて隣接して配設することで構成されている。これにより、光感应領域10において、光感应部分12_{mn}と光感应部分13_{mn}とは2次的に混在した状態で同一面内にて配列されることとなる。

【0019】

2次元配列における第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～11_{2N}, ..., 11_{M1}～11_{MN}にわたって、当該各画素11_{mn}を構成する複数の光感应部分12_{mn}, 13_{mn}のうち一方の光感应部分12_{mn}同士（たとえば、一方の光感应部分12₁₁～12_{1N}）が互いに電氣的に接続されている。また、

2次元配列における第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ にわたって、当該各画素 11_{mn} を構成する複数の光感応部分 12_{mn} , 13_{mn} のうち他方の光感応部分 13_{mn} 同士（たとえば、他方の光感応部分 $13_{11} \sim 13_{M1}$ ）が互いに電氣的に接続されている。

【0020】

ここで、図2及び図3に基づいて、光感応領域10の構成について説明する。図2は、光検出装置に含まれる光感応領域の一例を示す要部拡大平面図であり、図3は、図2のIII-III線に沿った断面図である。なお、図2においては、保護層48の図示を省略している。

【0021】

光感応領域10は、P型（第1導電型）の半導体からなる半導体基板40と、当該半導体基板40の表層に形成されたN型（第2導電型）の半導体領域41, 42とを含んでいる。これにより、各光感応部分 12_{mn} , 13_{mn} は半導体基板40部分と一組の第2導電型半導体領域41, 42とを含み、フォトダイオードが構成されることとなる。第2導電型半導体領域41, 42は、図2に示されるように、光入射方向から見て略三角形状を呈しており、1画素において2つの領域41, 42が互いに一辺が隣接して形成されている。半導体基板40は、接地電位とされている。なお、光感応領域10は、N型の半導体からなる半導体基板と、当該半導体基板の表層に形成されたP型の半導体領域とを含んで構成されていてもよい。領域41（光感応部分 12_{mn} ）と領域42（光感応部分 13_{mn} ）とは、図2から分かるように、第1の方向から見ても、第2の方向から見ても交互に配列されていることになる。また、領域41（光感応部分 12_{mn} ）と領域42（光感応部分 13_{mn} ）とは、第1の方向と第2の方向とに交差する（たとえば、 45° にて交差する）第3の方向から見ても、同じく第1の方向と第2の方向とに交差する（たとえば、 45° にて交差する）第4の方向から見ても交互に配列されていることになる。

【0022】

半導体基板40と領域41, 42の上には第1絶縁層43が形成され、この第1絶縁層43に形成されたスルーホールを介して第1配線44が一方の領域41

に電氣的に接続されている。また、第1絶縁層43に形成されたスルーホールを介して電極45が他方の領域42に電氣的に接続されている。

【0023】

第1絶縁層43の上には第2絶縁層46が形成され、この第2絶縁層46に形成されたスルーホールを介して第2配線47が電極45に電氣的に接続されている。これにより、他方の領域42は、電極45を介して第2配線47に電氣的に接続されることになる。

【0024】

第2絶縁層46の上には保護層48が形成されている。第1絶縁層43、第2絶縁層46及び保護層48は、 SiO_2 又は SiN 等からなる。第1配線44、電極45及び第2配線47は、Al等の金属からなる。

【0025】

第1配線44は、各画素 11_{mn} における一方の領域41を第1の方向にわたって電氣的に接続するものであって、画素 11_{mn} 間を第1の方向に延びて設けられている。このように、各画素 11_{mn} における一方の領域41を第1配線44で接続することにより、2次元配列における第1の方向に配列された複数の画素 $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots , $11_{M1} \sim 11_{MN}$ にわたって一方の光感应部分 12_{mn} 同士（たとえば、一方の光感应部分 $12_{11} \sim 12_{1N}$ ）が電氣的に接続されて、光感应領域10において第1の方向に長く延びる光感应部が構成される。この第1の方向に長く延びる光感应部はM列形成されることになる。

【0026】

第2配線47は、各画素 11_{mn} における他方の領域42を第2の方向にわたって電氣的に接続するものであって、画素 11_{mn} 間を第2の方向に延びて設けられている。このように、各画素 11_{mn} における他方の領域42を第2配線47で接続することにより、2次元配列における第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ にわたって他方の光感应部分 13_{mn} 同士（たとえば、他方の光感应部分 $13_{11} \sim 13_{M1}$ ）が電氣的に接続されて、光感应領域10において第2の方向に長く延びる光感应部が構成される。この第2の方向に長く延びる光感应部はN行形成されることになる。

【0027】

また、光感応領域10においては、上述した第1の方向に長く延びるM列の光感応部と第2の方向に長く延びるN行の光感応部とが同一面上に形成されることになる。

【0028】

領域41, 42の形状は、図2に示された略三角形状のものに限られず、図4～図8に示されるように、他の形状であってもよい。

【0029】

図4に示された第2導電型半導体領域（光感応部分）は、光入射方向から見て長方形状を呈しており、1画素において2つの領域41, 42が互いに長辺が隣接して形成されている。領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第2の方向において交互に配列されている。図4に示されるように、1画素あたり第1の方向と第2の方向の第2導電型半導体領域の面積が異なっても、画素間で夫々の方向ごとに一定であればよい。すなわち、同一の方向に延びる全ての配線で各々に接続されている光感応領域の総面積が同じであればよい。

【0030】

図5に示された第2導電型半導体領域（光感応部分）は、略三角形状を呈した一方の領域41が第1の方向に連続して形成されている。他方の領域42は略三角形状を呈しており、各画素11_{mn}間で独立して形成されている。領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第2の方向において交互に配列されている。なお、一方の領域41を第1の方向に連続して形成した場合、必ずしも第1配線44を設ける必要はないが、直列抵抗の増加に伴って読み出し速度が低下することが考えられることから、第1配線44にて各領域41を電氣的に接続するのが好ましい。

【0031】

図6に示された第2導電型半導体領域（光感応部分）は、1画素あたり4つの領域41a, 41b, 42a, 42bからなり、対角に位置する領域を対として、第1配線44あるいは第2配線47にて電氣的に接続されている。領域41（

光感応部分 1 2_{mn}) と領域 4 2 (光感応部分 1 3_{mn}) とは、第 1 の方向及び第 2 の方向において交互に配列されている。また、領域 4 1 (光感応部分 1 2_{mn}) と領域 4 2 (光感応部分 1 3_{mn}) とは、第 3 の方向及び第 4 の方向において交互に配列されている。

【0032】

図 7 に示された第 2 導電型半導体領域 (光感応部分) は、2 つの櫛状の領域 4 1, 4 2 がお互い噛み合うように形成されている。

【0033】

図 8 に示された第 2 導電型半導体領域 (光感応部分) は、光入射方向から見て 4 角形以上の多角形状 (たとえば 8 角形状) を呈しており、1 画素において 1 辺が隣接して形成されている。そして、領域 4 1 と領域 4 2 とは、1 画素において第 1 の方向と第 2 の方向とに交差する第 3 の方向に並設されており、光入射方向から見てハニカム状に配列されている。すなわち、領域 4 1 (光感応部分 1 2_{mn}) と領域 4 2 (光感応部分 1 3_{mn}) とは、第 3 の方向及び第 4 の方向において交互に配列されている。

【0034】

続いて、図 9 に基づいて、信号処理回路 20 の構成について説明する。図 9 は、信号処理回路を示す概略構成図である。

【0035】

信号処理回路 20 は、光感応領域 10 に入射した光の第 2 の方向での輝度プロファイル及び第 1 の方向での輝度プロファイルを検出するためのもので、第 2 の方向及び第 1 の方向での輝度プロファイル示す電圧 V_{out} を出力する。

【0036】

信号処理回路 20 は、図 9 に示されるように、スイッチ素子 21 と、シフトレジスタ 22 と、積分回路 23 とを有している。スイッチ素子 21 は、第 1 の方向に配列された複数の画素 1 1₁₁~1 1_{1N}, 1 1₂₁~1 1_{2N}, ..., 1 1_{M1}~1 1_{MN} 間において電氣的に接続された一方の光感応部分 1 2_{mn} 群 (一方の第 2 導電型半導体領域 4 1 からなり、第 1 の方向に長く延びる M 列の光感応部) と、第 2 の方向に配列された複数の画素 1 1₁₁~1 1_{M1}, 1 1₁₂~1 1_{M2}, ..., 1 1

1N～1 1 MN間において電氣的に接続された他方の光感応部分 1 3_{mn}群（他方の第 2 導電型半導体領域 4 2 からなり、第 2 の方向に長く延びる N 行の光感応部）とに対応して設けられている。シフトレジスタ 2 2 は、第 1 の方向に配列された複数の画素 1 1₁₁～1 1_{1N}, 1 1₂₁～1 1_{2N}, …, 1 1_{M1}～1 1_{MN}間において電氣的に接続された一方の光感応部分 1 2_{mn}群からの電流出力を第 2 の方向に順次読み出し、第 2 の方向に配列された複数の画素 1 1₁₁～1 1_{M1}, 1 1₁₂～1 1_{M2}, …, 1 1_{1N}～1 1_{MN}間において電氣的に接続された他方の光感応部分 1 3_{mn}群からの電流出力を第 1 の方向に順次読み出すためのものである。積分回路 2 3 は、シフトレジスタ 2 2 により順次読み出される各一方の光感応部分 1 2_{mn}群からの電流出力及び各他方の光感応部分 1 3_{mn}群からの電流出力を順次入力し、その電流出力を電圧出力に変換する。

【0037】

スイッチ素子 2 1 は、シフトレジスタ 2 2 から出力される信号 *s h i f t* (*m*), *s h i f t* (*m + n*) により制御されて順次閉じられる。スイッチ素子 2 1 を閉じることにより、第 1 の方向に配列された複数の画素 1 1₁₁～1 1_{1N}, 1 1₂₁～1 1_{2N}, …, 1 1_{M1}～1 1_{MN}間において電氣的に接続された一方の光感応部分 1 2_{mn}群に蓄積された電荷が電流となって、第 1 配線 4 4 及びスイッチ素子 2 1 を介して積分回路 2 3 に出力される。また、スイッチ素子 2 1 を閉じることにより、第 2 の方向に配列された複数の画素 1 1₁₁～1 1_{M1}, 1 1₁₂～1 1_{M2}, …, 1 1_{1N}～1 1_{MN}間において電氣的に接続された他方の光感応部分 1 3_{mn}群に蓄積された電荷が電流となって、第 2 配線 4 7 及びスイッチ素子 2 1 を介して積分回路 2 3 に出力される。シフトレジスタは、制御回路（図示せず）から出力される信号 Φ_1 , Φ_2 , Φ_{st} によりその動作が制御されて、スイッチ素子 2 1 を順次閉じる。

【0038】

積分回路 2 3 は、アンプ 2 4 と、容量素子 2 5 と、スイッチ素子 2 6 とを含んでいる。アンプ 2 4 は、第 1 の方向に配列された複数の 1 1₁₁～1 1_{1N}, 1 1₂₁～1 1_{2N}, …, 1 1_{M1}～1 1_{MN}間において電氣的に接続された一方の光感応部分 1 2_{mn}群からの電流出力、及び、第 2 の方向に配列された複数の画素 1 1₁₁

～11M1, 1112～11M2, …, 111N～11MN間において電氣的に接続された他方の光感应部分13_{mn}群からの電流出力を入力し、入力した電流出力の電荷を増幅する。容量素子25は、アンプ24の入力端子に一方の端子が接続され、アンプ24の出力端子に他方の端子が接続されている。スイッチ素子26は、アンプ24の入力端子に一方の端子が接続され、アンプ24の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号 Φ_{reset} が有意の場合には「ON」状態となり、リセット信号 Φ_{reset} が非有意の場合には「OFF」状態となる。

【0039】

積分回路23は、スイッチ素子26が「ON」状態であるときには、容量素子25を放電して初期化する。一方、積分回路23は、スイッチ素子26が「OFF」状態であるときには、第1の方向に配列された複数の画素1111～111N, 1121～112N, …, 11M1～11MN間において電氣的に接続された一方の光感应部分12_{mn}群、及び、第2の方向に配列された複数の画素1111～11M1, 1112～11M2, …, 111N～11MN間において電氣的に接続された他方の光感应部分13_{mn}群それぞれから入力端子に入力した電荷を容量素子25に蓄積して、その蓄積された電荷に応じた電圧 V_{out} を出力端子から出力する。

【0040】

続いて、図10に基づいて、信号処理回路20の動作について説明する。図10は、信号処理回路の動作を説明するためのタイミングチャートである。

【0041】

図10において、制御回路からシフトレジスタ22にスタート信号 Φ_{st} が入力されると、信号 Φ_2 の立ち上がりから信号 Φ_1 の立下りまでの期間に対応したパルス幅を有する信号 $shift(m)$, $shift(m+n)$ が順次出力される。シフトレジスタ22から対応するスイッチ素子21に $shift(m)$, $shift(m+n)$ が出力されると、スイッチ素子21が順次閉じ、対応する一方の光感应部分12_{mn}群及び他方の光感应部分13_{mn}群に蓄積された電荷が電流となって積分回路23に順次出力される。

【0042】

積分回路 23 には、制御回路からリセット信号 Φ_{reset} が入力されており、リセット信号 Φ_{reset} が「OFF」状態の期間、対応する一方の光感応部分 12_{mn} 群及び他方の光感応部分 13_{mn} 群に蓄積された電荷が容量素子 25 に蓄積されて、蓄積された電荷量に応じた電圧 V_{out} が積分回路 23 から順次出力される。なお、積分回路 23 は、リセット信号 Φ_{reset} が「ON」状態のときにはスイッチ素子 26 を閉じて容量素子 25 を初期化する。

【0043】

このように、信号処理回路 20 からは、第 1 の方向に配列された複数の画素 11₁₁～11_{1N}, 11₂₁～11_{2N}, …, 11_{M1}～11_{MN} 間において電氣的に接続された一方の光感応部分 12_{mn} 群にて蓄積されて電荷（電流出力）、及び、第 2 の方向に配列された複数の画素 11₁₁～11_{M1}, 11₁₂～11_{M2}, …, 11_{1N}～11_{MN} 間において電氣的に接続された他方の光感応部分 13_{mn} 群にて蓄積されて電荷（電流出力）に対応した電圧 V_{out} が、対応する一方の光感応部分 12_{mn} 群及び他方の光感応部分 13_{mn} 群毎に順次時系列データとして出力される。この時系列データは、第 2 の方向での輝度プロファイル及び第 1 の方向での輝度プロファイルを示すものである。

【0044】

以上のように、本実施形態の光検出装置 1 においては、1 つの画素 11_{mn} に入射した光は当該画素 11_{mn} を構成する複数の光感応部分 12_{mn}, 13_{mn} それぞれに、光強度に応じた電流が光感応部分 12_{mn}, 13_{mn} 毎に出力される。そして、一方の光感応部分 12_{mn} 同士が 2 次元配列における第 1 の方向に配列された複数の画素 11₁₁～11_{1N}, 11₂₁～11_{2N}, …, 11_{M1}～11_{MN} にわたって電氣的に接続されているので、一方の光感応部分 12_{mn} から出力された電流は第 1 の方向に送られる。また、他方の光感応部分 13_{mn} 同士が 2 次元配列における第 2 の方向に配列された複数の画素 11₁₁～11_{M1}, 11₁₂～11_{M2}, …, 11_{1N}～11_{MN} にわたって電氣的に接続されているので、他方の光感応部分 13_{mn} から出力された電流は第 2 の方向に送られる。このように、一方の光感応部分 12_{mn} から出力された電流は第 1 の方向に送られるとともに、他方の光感応部分 13_{mn} から出力された電流は第 2 の方向に送られることから、第 1 の方向での輝度

プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分 12_{mn} , 13_{mn} を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0045】

また、本実施形態の光検出装置1において、各光感応部分 12_{mn} , 13_{mn} は、半導体基板40部分と第2導電型半導体領域41, 42とを含み、第2導電型半導体領域41, 42は、光入射方向から見て略三角形状を呈しており、1画素において互いに一辺が隣接して形成されている。これにより、複数の光感応部分 12_{mn} , 13_{mn} を1画素内に配設する際に、各光感応部分 12_{mn} , 13_{mn} （第2導電型半導体領域41, 42）の面積が減少するのを抑制することができる。

【0046】

また、本実施形態の光検出装置1において、第2導電型半導体領域41, 42は、光入射方向から見て略長方形状を呈しており、1画素において長辺が隣接して形成されている。これにより、複数の光感応部分 12_{mn} , 13_{mn} を1画素内に配設する際に、各光感応部分 12_{mn} , 13_{mn} （第2導電型半導体領域41, 42）の面積が減少するのを抑制することができる。

【0047】

また、本実施形態の光検出装置1において、第2導電型半導体領域41, 42は、光入射方向から見て4角形以上の多角形状を呈しており、1画素において1辺が隣接して形成されている。これにより、複数の光感応部分 12_{mn} , 13_{mn} （第2導電型半導体領域41, 42）を1画素内に配設する際に、各光感応部分 12_{mn} , 13_{mn} の面積が減少するのを抑制することができる。また、各光感応部分 12_{mn} , 13_{mn} の面積に対する周囲長は減ることとなり、単位面積当たりに換算した暗電流が低減される。なお、4角形以上の多角形状として、菱形形状を採用してもよい。

【0048】

また、本実施形態の光検出装置1において、第2導電型半導体領域41, 42とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設さ

れている。これにより、一方の光感応部分 1 2_{mn} 群及び他方の光感応部分 1 3_{mn} 群において、各光感応部分 1 2_{mn}, 1 3_{mn} 群の中心部分に対応する光感応部分 1 2_{mn}, 1 3_{mn} が集中することとなり、解像度を向上することができる。

【0049】

また、第 2 導電型半導体領域 4 1, 4 2 は、光入射方向から見てハニカム状に配列されている。これにより、複数の光感応部分 1 2_{mn}, 1 3_{mn} (第 2 導電型半導体領域 4 1, 4 2) を 1 画素内に配設する際に、各光感応部分 1 2_{mn}, 1 3_{mn} の面積が減少するのをより一層抑制することができる。また、幾何学的対称性が高く、第 2 導電型半導体領域 4 1, 4 2 (光感応部分 1 2_{mn}, 1 3_{mn}) を形成するために用いるマスクが位置ずれしたことによる不均一性が抑制できる。

【0050】

また、本実施形態の光検出装置 1 においては、第 1 配線 4 4 が、画素 1 1_{mn} 間を第 1 の方向に延びて設けられており、第 2 配線 4 7 が、画素 1 1_{mn} 間を第 2 の方向に延びて設けられている。これにより、それぞれの配線 4 4, 4 7 により光感応部分 1 2_{mn}, 1 3_{mn} (第 2 導電型半導体領域 4 1, 4 2) への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

【0051】

また、本実施形態の光検出装置 1 においては、1 つの信号処理回路 2 0 により、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとがそれぞれ検出される。一方の光感応部分 1 2_{mn} 群からの電流出力进行处理するための回路と他方の光感応部分 1 3_{mn} 群からの電流出力进行处理するための回路とが共通化されるので、回路面積を縮小することができ、低コスト化を図ることができる。

【0052】

また、本実施形態の光検出装置 1 においては、シフトレジスタ 2 2 と、積分回路 2 3 とを有している。これにより、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとを極めて簡易な構成にて得ることができる。

【0053】

次に、図 1 1 に基づいて、信号処理回路の変形例の構成について説明する。図 1 1 は、信号処理回路の変形例を示す概略構成図である。

【0054】

信号処理回路100は、図11に示されるように、積分回路110と、CDS回路120と、サンプルアンドホールド回路（以下、S/H回路と称する）130と、最大値検出回路140と、シフトレジスタ150と、スイッチ素子160と、A/D変換回路170とを有している。

【0055】

積分回路110は、第1の方向に配列された複数の $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots , $11_{M1} \sim 11_{MN}$ 間において電氣的に接続された一方の光感応部分 12_{mn} 群（一方の第2導電型半導体領域41からなり、第1の方向に長く延びるM列の光感応部）、及び、第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 13_{mn} 群（他方の第2導電型半導体領域42からなり、第2の方向に長く延びるN行の光感応部）に対応して設けられ、対応する一方の光感応部分 12_{mn} 群からの電流出力及び他方の光感応部分 13_{mn} 群からの電流出力を電圧に変換して、当該電圧を出力する。積分回路110は、図12に示されるように、入力端子と出力端子との間に互いに並列にアンプ A_1 、容量素子 C_1 及びスイッチ素子 SW_1 が接続されている。積分回路110は、スイッチ素子 SW_1 が閉じているときには、容量素子 C_1 を放電して初期化する。一方、積分回路110は、スイッチ素子 SW_1 が開いているときには、入力端子に入力した電荷を容量素子 C_1 に蓄積して、その蓄積された電荷に応じた電圧を出力端子から出力する。スイッチ素子 SW_1 は、制御回路（図示せず）から出力されるReset信号に基づいて開閉する。

【0056】

CDS回路120は、積分回路110に対応して設けられ、対応する積分回路110から出力される電圧の値の変化量に応じた値の電圧を出力する。CDS回路120は、図13に示されるように、入力端子と出力端子との間に順にスイッチ素子 SW_{21} 、結合容量素子 C_{21} 及びアンプ A_2 を有している。また、アンプ A_2 の入出力間にスイッチ素子 SW_{22} 及び積分容量素子 C_{22} が互いに並列的に接続されている。スイッチ素子 SW_{22} 及びスイッチ素子 SW_{21} は、積分容量素子 C_{22} に

電荷を蓄積させるためのスイッチ手段として作用する。CDS回路120は、スイッチ素子SW₂₂が閉じているときには、積分容量素子C₂₂を放電して初期化する。スイッチ素子SW₂₂が開きスイッチ素子SW₂₁が閉じているときには、入力端子から結合容量素子C₂₁を経て入力した電荷を積分容量素子C₂₂に蓄積して、その蓄積された電荷に応じた電圧を出力端子から出力する。スイッチ素子SW₂₁は、制御回路から出力されるCSW₂₁信号に基づいて開閉する。また、スイッチ素子SW₂₂は、制御回路から出力されるClamp₁信号に基づいて開閉する。

【0057】

S/H回路130は、CDS回路120に対応して設けられ、対応するCDS回路120から出力される電圧を保持して出力する。S/H回路130は、図14に示されるように、入力端子と出力端子との間に順にスイッチ素子SW₃及びアンプA₃を有し、スイッチ素子SW₃とアンプA₃との接続点が容量素子C₃を介して接地されている。S/H回路130は、スイッチ素子SW₃が閉じているときにCDS回路120から出力された電圧を容量素子C₃に記憶し、スイッチ素子SW₃が開いた後も、容量素子C₃の電圧を保持して、その電圧をアンプA₃を介して出力する。スイッチ素子SW₃は、制御回路から出力されるHold信号に基づいて開閉する。スイッチ素子160は、シフトレジスタ150により制御されて順次に関き、S/H回路130から出力される電圧をA/D変換回路に順次に入力させる。

【0058】

最大値検出回路140は、S/H回路130それぞれから出力される電圧の最大値を検出する。最大値検出回路140は、図15に示されるように、NMOSトランジスタT₁~T_{M+N}、抵抗器R₁~R₃及び差動アンプA₄を備える。各トランジスタT₁~T_{M+N}のソース端子は接地され、各トランジスタT₁~T_{M+N}のドレイン端子は、抵抗器R₃を介して電源電圧V_{dd}に接続されるとともに、抵抗器R₁を介して差動アンプA₄の反転入力端子に接続されている。各トランジスタT₁~T_{M+N}のゲート端子は、S/H回路130の出力端子と接続されており、S/H回路130から出力される電圧が入力する。また、差動アンプA₄の反転入力端子と出力端子との間には抵抗器R₂が設けられ、差動アンプA₄の非反転入力端子

は接地されている。この最大値検出回路 140 では、S/H 回路 130 から出力された電圧が対応するトランジスタ $T_1 \sim T_{M+N}$ のゲート端子に入力され、各電圧のうちの最大値に応じた電位がトランジスタ $T_1 \sim T_{M+N}$ のドレイン端子に現れる。そして、そのドレイン端子の電位は、抵抗器 R_1 及び R_2 それぞれの抵抗値の比に応じた増幅率で差動アンプ A_4 により増幅され、その増幅された電圧の値が最大電圧値 V_{\max} として出力端子から A/D 変換回路 170 へ出力される。

【0059】

A/D 変換回路 170 は、S/H 回路 130 それぞれから出力される電圧を順次入力し、その電圧を最大値検出回路 140 により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する。A/D 変換回路 170 は、最大値検出回路 140 から出力される最大電圧値 V_{\max} を入力し、この最大電圧値 V_{\max} を A/D 変換レンジとする。そして、A/D 変換回路 170 は、S/H 回路 130 から出力される電圧をスイッチ素子 160 及びアンプ 180 を介して順次に入力し、その電圧出力（アナログ値）をデジタル値に変換して出力する。A/D 変換回路 170 は、図 16 に示されるように、可変容量積分回路 171、比較回路 172、容量制御部 173 及び読み出し部 174 を備える。

【0060】

可変容量積分回路 171 は、容量素子 C_{51} 、アンプ A_5 、可変容量部 C_{52} 及びスイッチ素子 SW_5 を備える。アンプ A_5 は、S/H 回路 130 から出力されスイッチ素子 160 を介して順次に到達した電圧出力を、容量素子 C_{51} を介して反転入力端子に入力する。アンプ A_5 の非反転入力端子は接地されている。可変容量部 C_{52} は、容量が可変であって制御可能であり、アンプ A_5 の反転入力端子と出力端子との間に設けられ、入力した電圧に応じて電荷を蓄える。スイッチ素子 SW_5 は、アンプ A_5 の反転入力端子と出力端子との間に設けられ、開いているときには可変容量部 C_{52} に電荷の蓄積を行わせ、閉じているときには可変容量部 C_{52} における電荷蓄積をリセットする。そして、可変容量積分回路 171 は、S/H 回路 130 から順次に出力された電圧を入力し、可変容量部 C_{52} の容量に応じて積分し、積分した結果である電圧を出力する。

【0061】

比較回路 172 は、可変容量積分回路 171 からの電圧出力を反転入力端子に
入力し、最大値検出回路 140 から出力された最大電圧値 V_{\max} を非反転入力端
子に入力し、これら 2 つの入力電圧の値を大小比較して、その大小比較の結果で
ある比較結果信号を出力する。

【0062】

容量制御部 173 は、比較回路 172 から出力された比較結果信号を入力し、
この比較結果信号に基づいて可変容量部 C52 の容量を制御する容量指示信号 C を
出力するとともに、この比較結果信号に基づいて積分した結果である電圧の値と
最大電圧値 V_{\max} とが所定の分解能で一致していると判断した場合に可変容量部
C51 の容量値に応じた第 1 デジタル値を出力する。

【0063】

読み出し部 174 は、容量制御部 173 から出力された第 1 デジタル値を入力
し、この第 1 デジタル値に対応する第 2 デジタル値を出力する。第 2 デジタル値
は、第 1 デジタル値から可変容量積分回路 171 のオフセット値を除去した値を
示すものである。読み出し部 174 は、例えば記憶素子であり、第 1 デジタル値
をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデータを第
2 デジタル値として出力する。この第 2 デジタル値は、第 2 の方向での輝度プロ
ファイル及び第 1 の方向での輝度プロフィールを表す出力となる。

【0064】

以上のように、最大値検出回路 140 からそれぞれ出力され比較回路 172 に
それぞれ入力される最大電圧値 V_{\max} は、A/D 変換回路 170 が飽和すること
なく A/D 変換することができる電圧の最大値すなわち A/D 変換レンジを規定
している。しかも、A/D 変換回路 170 に入力する各電圧のうち何れかの値は
必ず最大電圧値 V_{\max} であるから、上記 A/D 変換レンジの全ての範囲を有効に
活用することができる。すなわち、本実施形態に係る光検出装置 1 は、光強度が
大きいときのみならず、光強度が小さくても A/D 変換の分解能が優れたものとな
る。

【0065】

また、積分回路 110 それぞれが積分動作ごとに異なるノイズばらつきを有し

ていても、CDS回路120によりノイズ誤差が解消される。

【0066】

また、各光感应部分 12_{mn} 、 13_{mn} 群に対応して積分回路110が設けられているので、各光感应部分 12_{mn} 、 13_{mn} 群から同じタイミングにて電荷を蓄積でき、それらの電荷量を電圧に変換することができる。

【0067】

これらの結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度且つ高速にて得ることができる。なお、上述した積分回路110、CDS回路120、S/H回路130、最大値検出回路140、シフトレジスタ150、スイッチ素子160、A/D変換回路170等の動作については、本出願人による特開2001-36128号公報等に表示されている。

【0068】

本発明は、前述した実施形態に限定されるものではない。たとえば、シフトレジスタを用いる代わりに、各光感应部分 12_{mn} 、 13_{mn} （第2導電型半導体領域41、42）を均一な抵抗線で接続して、光の入射に伴って発生した電荷を抵抗線に流れ込んだ位置と当該抵抗線それぞれの端部との距離に反比例するように抵抗分割して抵抗線の端部から取り出し、当該端部からの電流出力に基づいて光の入射位置を求めるようにしてもよい。

【0069】

また、前述した実施形態においては、1画素を複数の光感应部分で構成しているが、1画素を一つの光感应部分で構成してもよい。たとえば、図17に示されるように、光感应領域10は、第1の方向にわたって互いに電氣的に接続される複数の第1光感应部分 12_{mn} と第2の方向にわたって互いに電氣的に接続される複数の第2光感应部分 13_{mn} とを含み、複数の第1光感应部分 12_{mn} と複数の第2光感应部分 13_{mn} とは2次元的に混在した状態で同一面内にて配列してもよい。この場合、第1光感应部分 12_{mn} と第2光感应部分 13_{mn} とは市松模様状に配列しており、第1光感应部分 12_{mn} と第2光感应部分 13_{mn} とは第1の方向及び第2の方向において交互に配列している。なお、市松模様状に配列する代わりに、図8に示されるようなハニカム状に配列してもよい。

【発明の効果】

以上、詳細に説明したとおり、本発明によれば、2次元位置の検出処理の高速化及び構成の簡素化を図ることができる光検出装置を提供することができる。また、本発明によれば、回路面積を縮小することができ、低コスト化を図ることができる。

【図面の簡単な説明】**【図 1】**

本発明の実施形態に係る光検出装置を示す概念構成図である。

【図 2】

本発明の実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 3】

図 2 の III-III 線に沿った断面図である。

【図 4】

本発明の実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 5】

本発明の実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 6】

本発明の実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 7】

本発明の実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 8】

本発明の実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 9】

本発明の実施形態に係る光検出装置に含まれる信号処理回路を示す概略構成図である。

【図 10】

第 1 信号処理回路の動作を説明するためのタイミングチャートである。

【図 11】

本発明の実施形態に係る光検出装置に含まれる信号処理回路の変形例を示す概略構成図である。

【図 12】

信号処理回路の変形例に含まれる積分回路の回路図である。

【図 13】

信号処理回路の変形例に含まれる CDS 回路の回路図である。

【図 14】

信号処理回路の変形例に含まれる S/H 回路の回路図である。

【図 15】

信号処理回路の変形例に含まれる最大値検出回路の回路図である。

【図 16】

信号処理回路の変形例に含まれる A/D 変換回路の回路図である。

【図 17】

本発明の実施形態に係る光検出装置の変形例を示す概念構成図である。

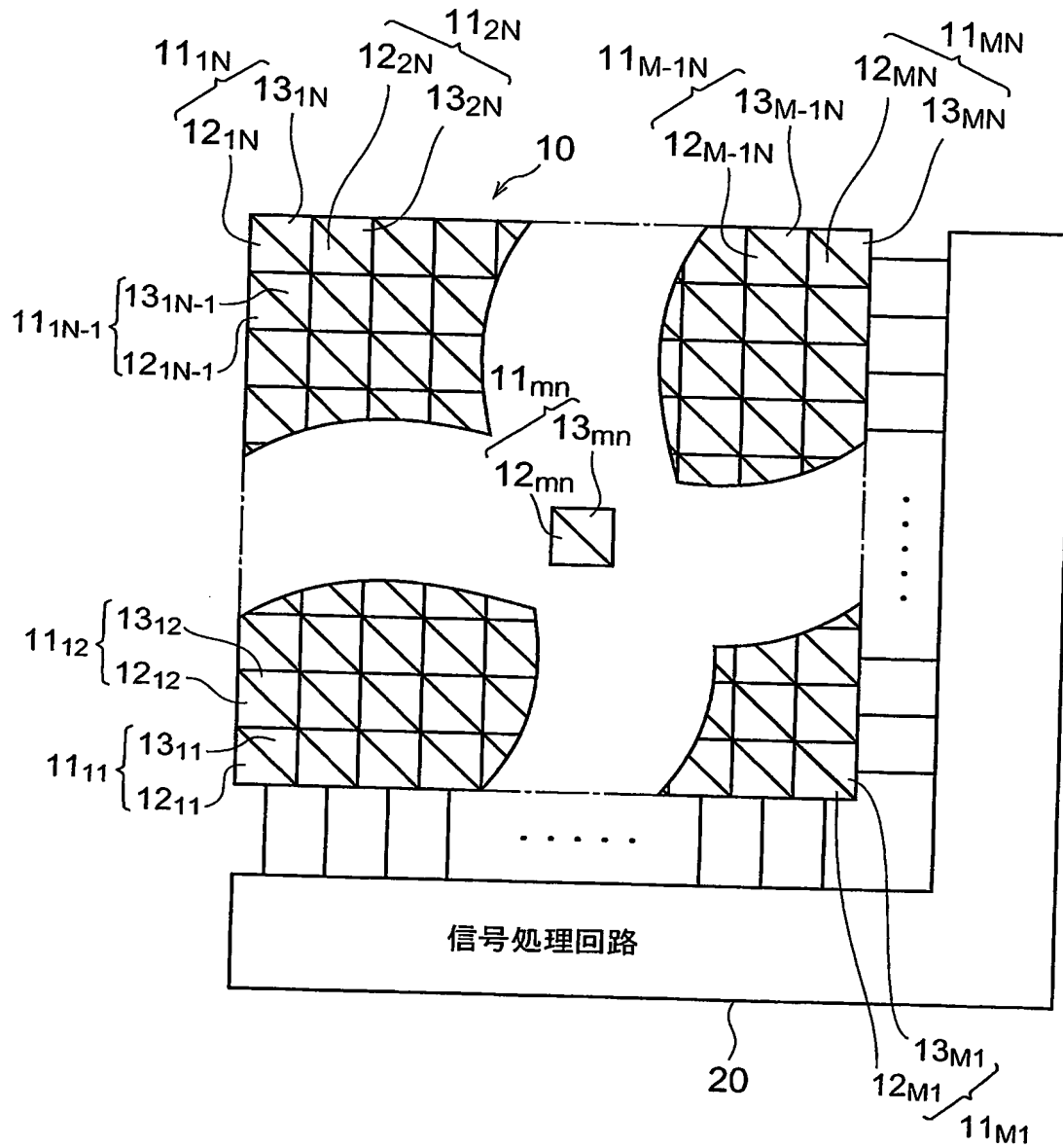
【符号の説明】

1…光検出装置、10…光感応領域、11_{mn}…画素、12_{mn}, 13_{mn}…光感応部分、20…信号処理回路、21…スイッチ素子、22…シフトレジスタ、23…積分回路、40…半導体基板、41, 42…第 2 導電型半導体領域、44…第 1 配線、47…第 2 配線、100…信号処理回路、110…積分回路、120…CDS 回路、130…サンプルアンドホールド回路 (S/H 回路)、140…最大値検出回路、150…シフトレジスタ、160…スイッチ素子、170…A/D 変換回路。

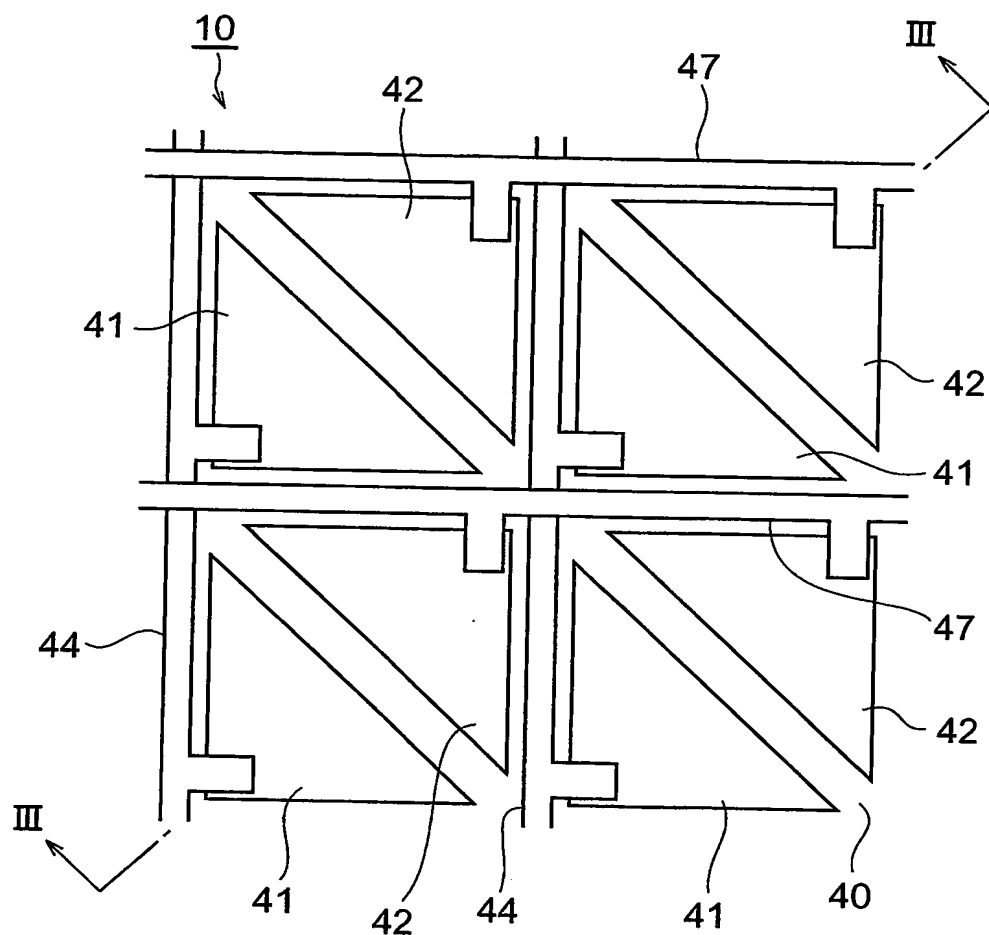
【書類名】

図面

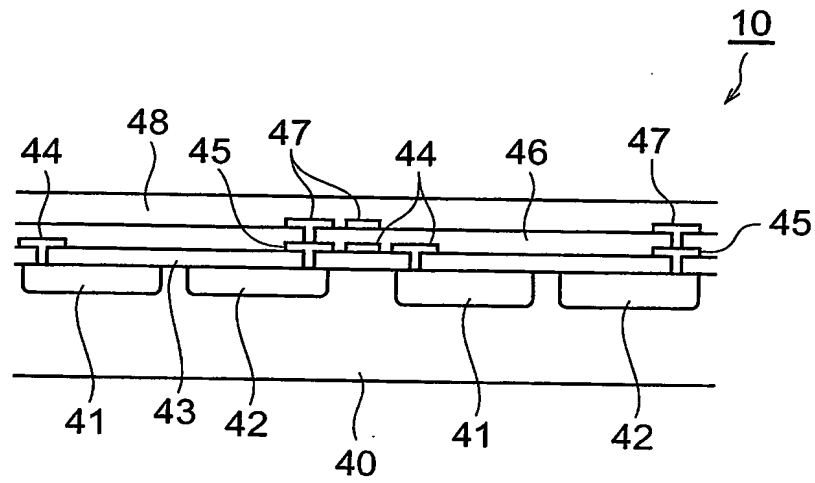
【図 1】



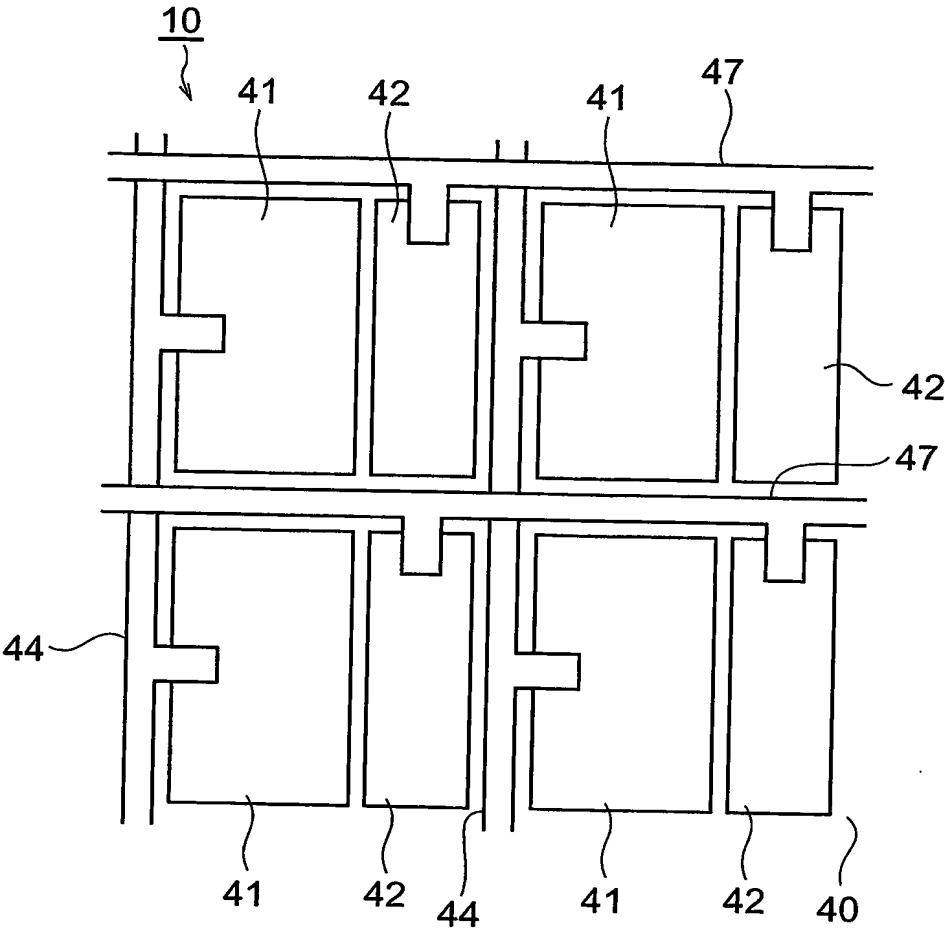
【図 2】



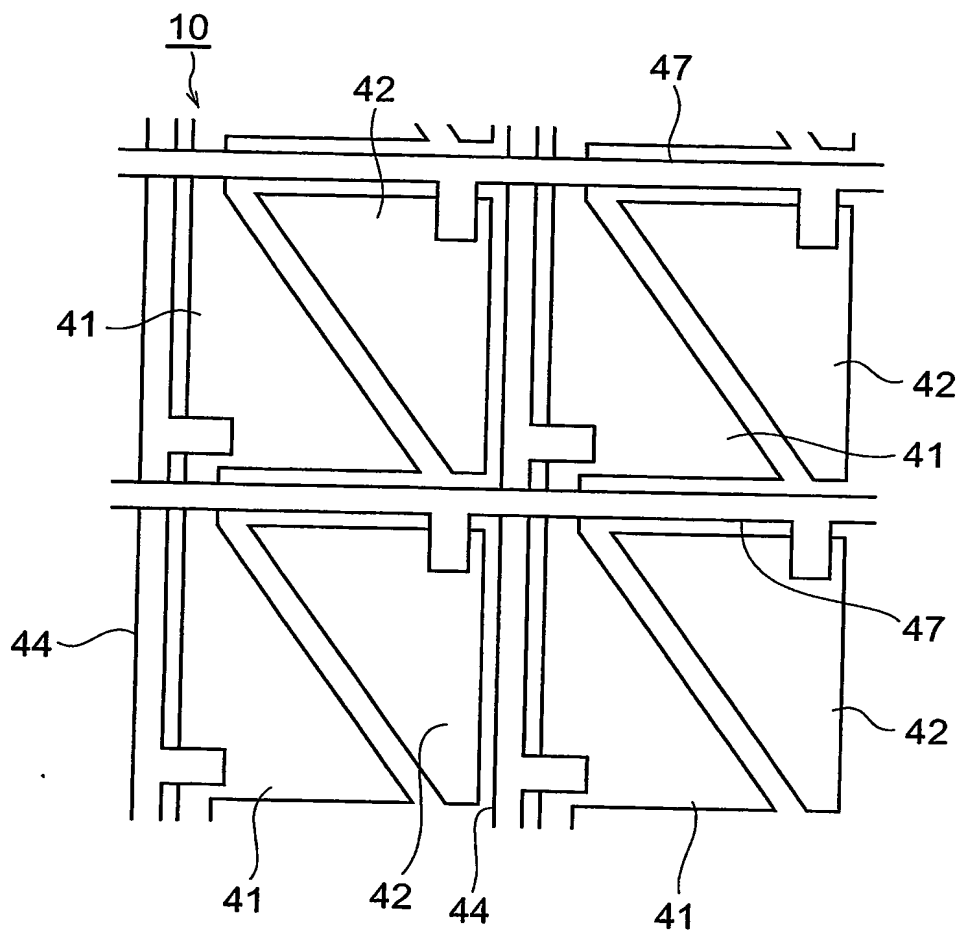
【図 3】



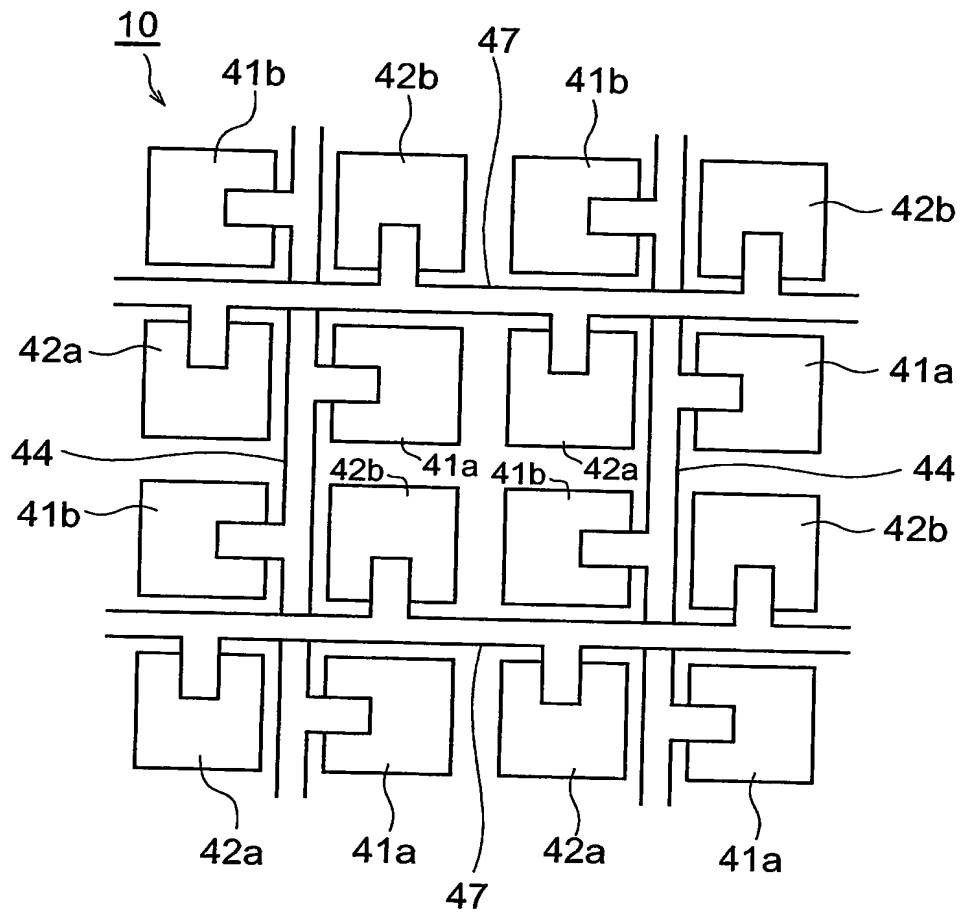
【図 4】



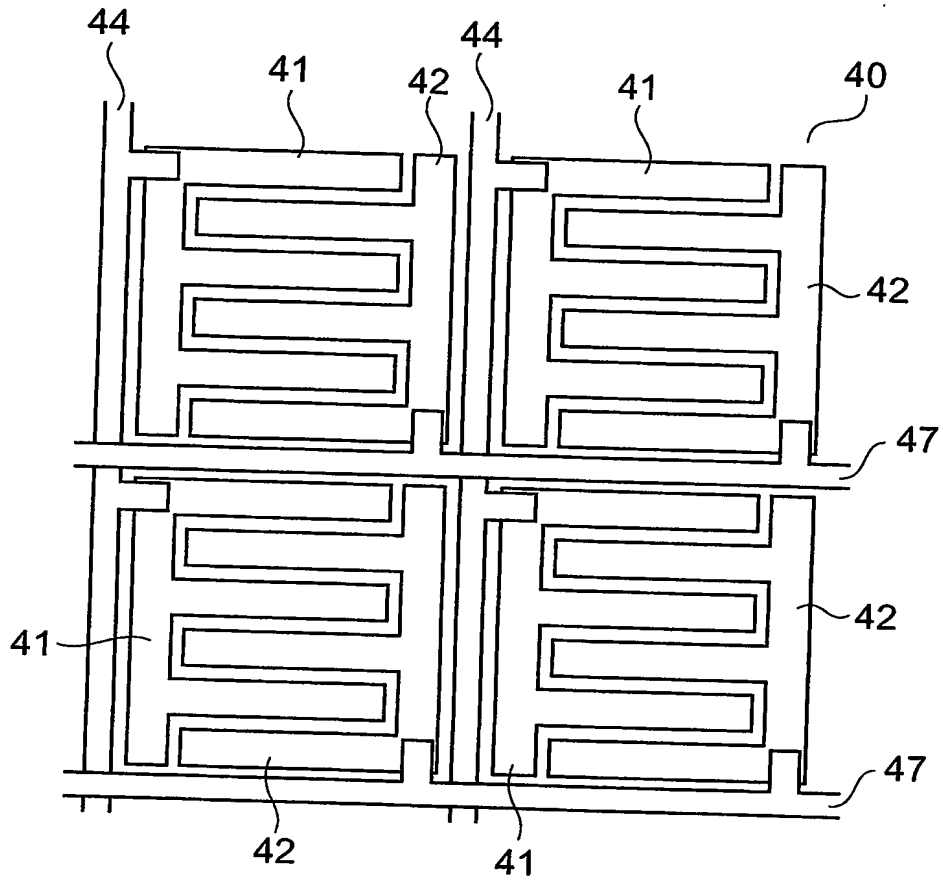
【図 5】



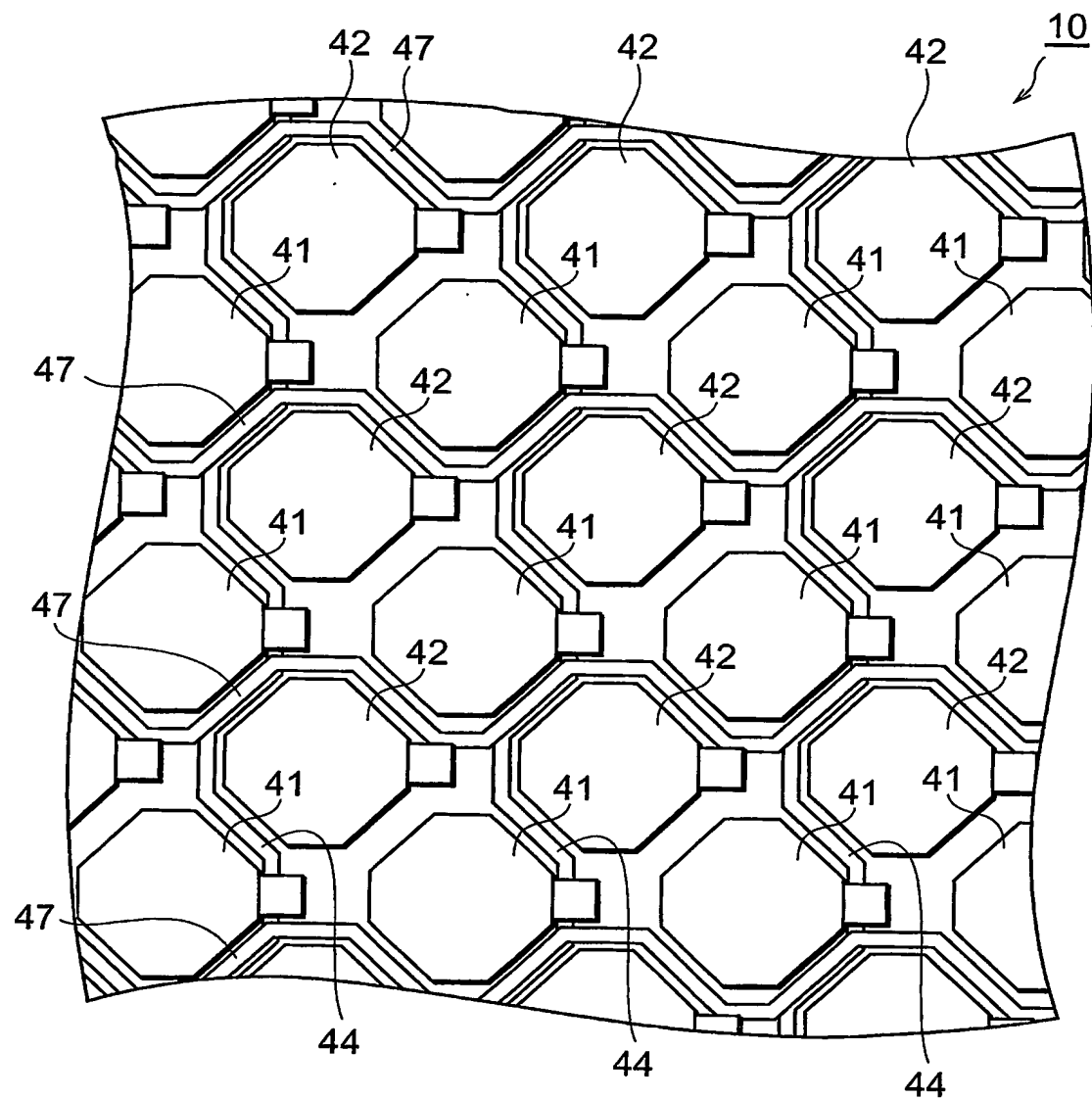
【図 6】



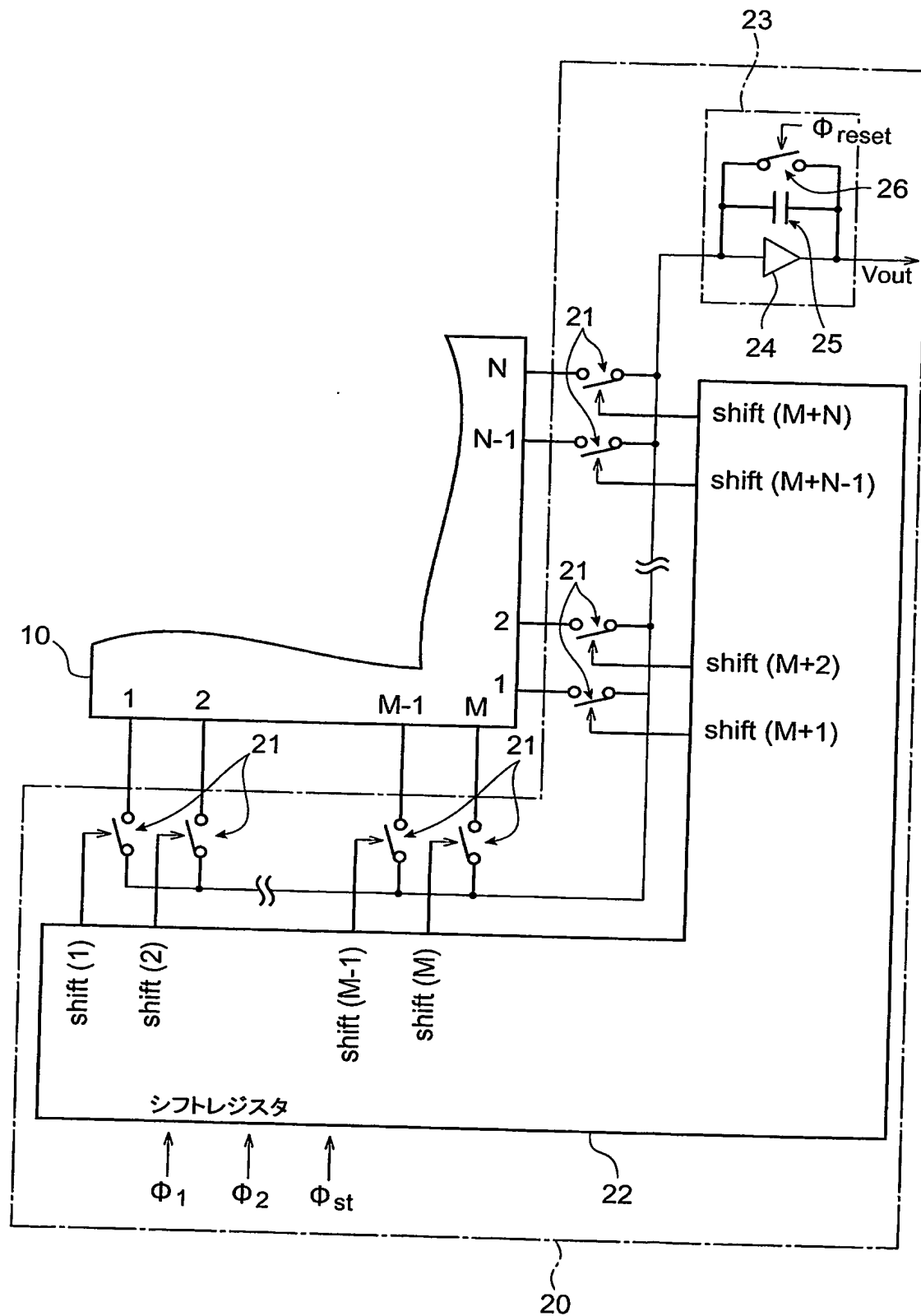
【図 7】



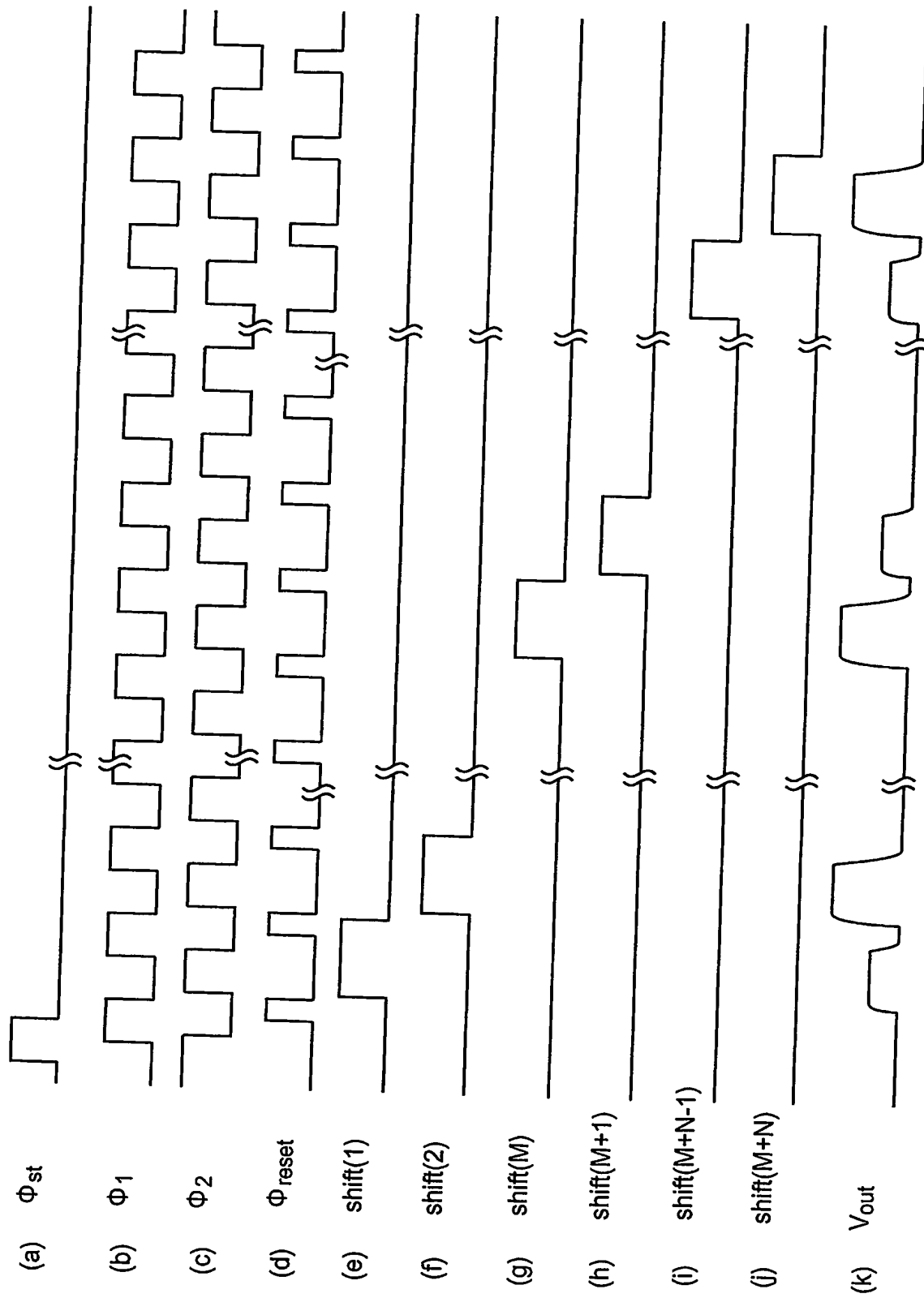
【図 8】



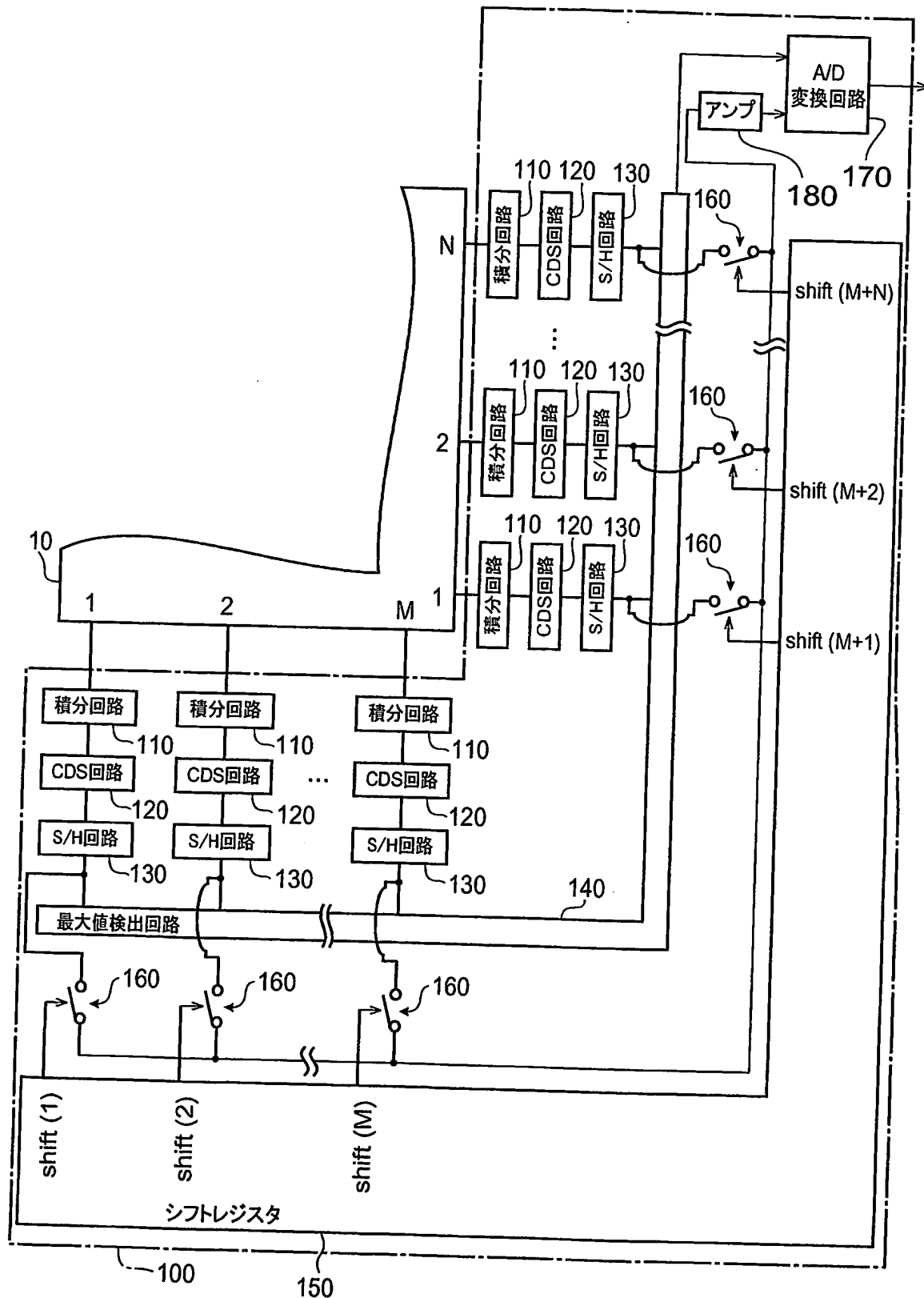
【図 9】



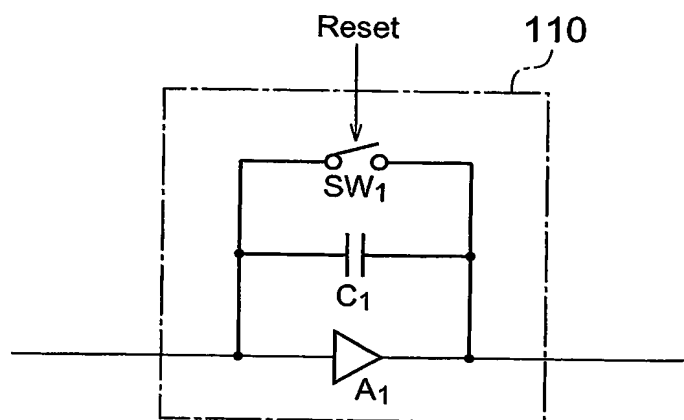
【図 10】



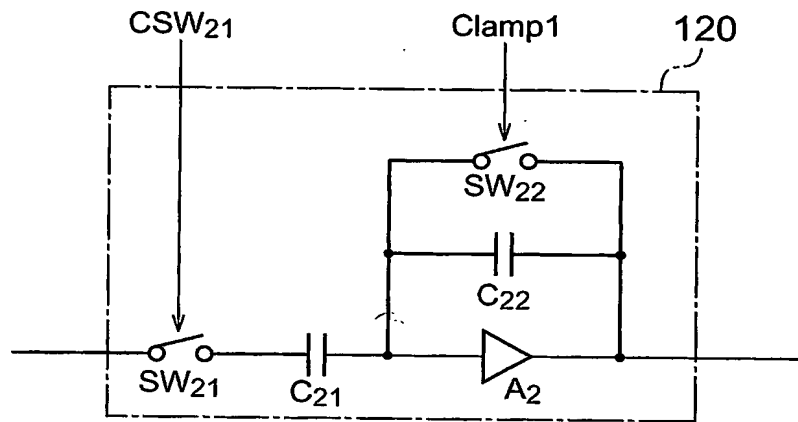
【図 11】



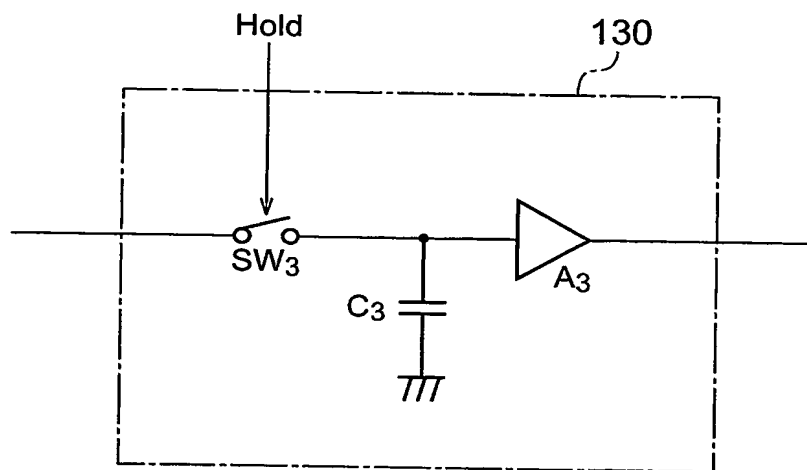
【図 12】



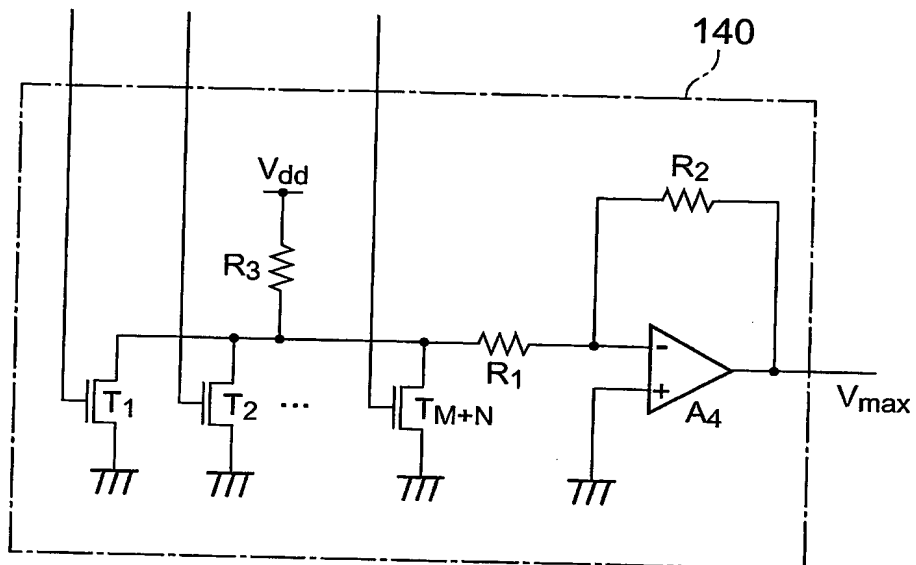
【図 13】



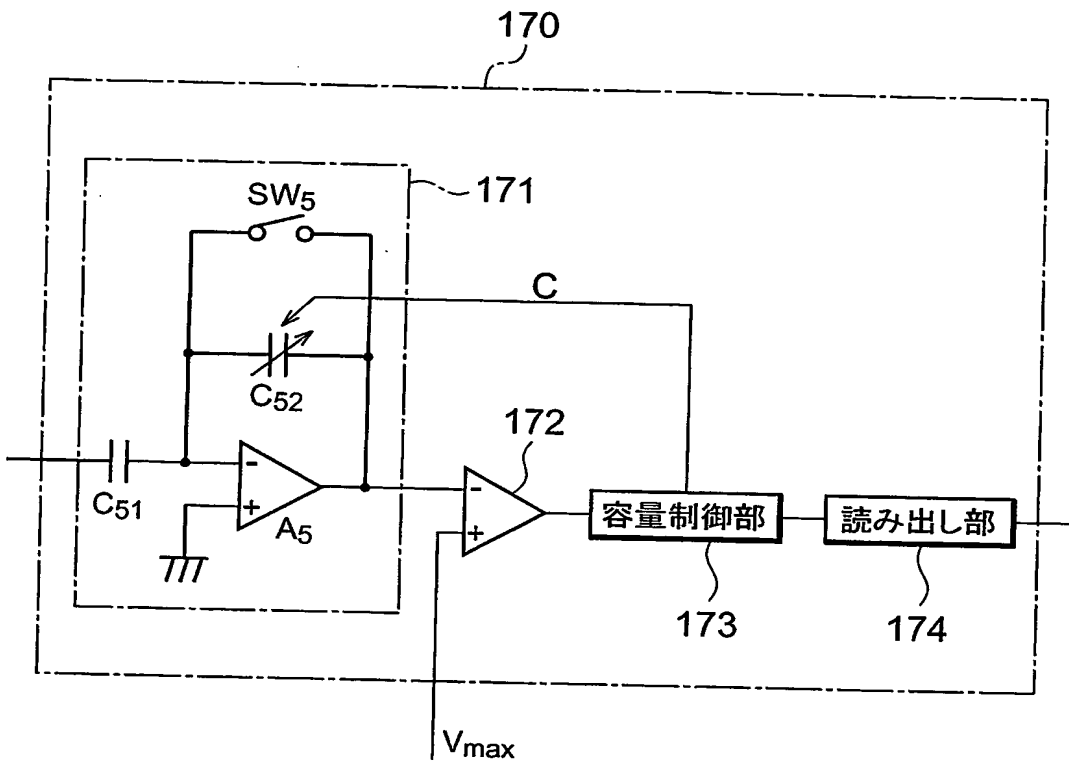
【図 14】



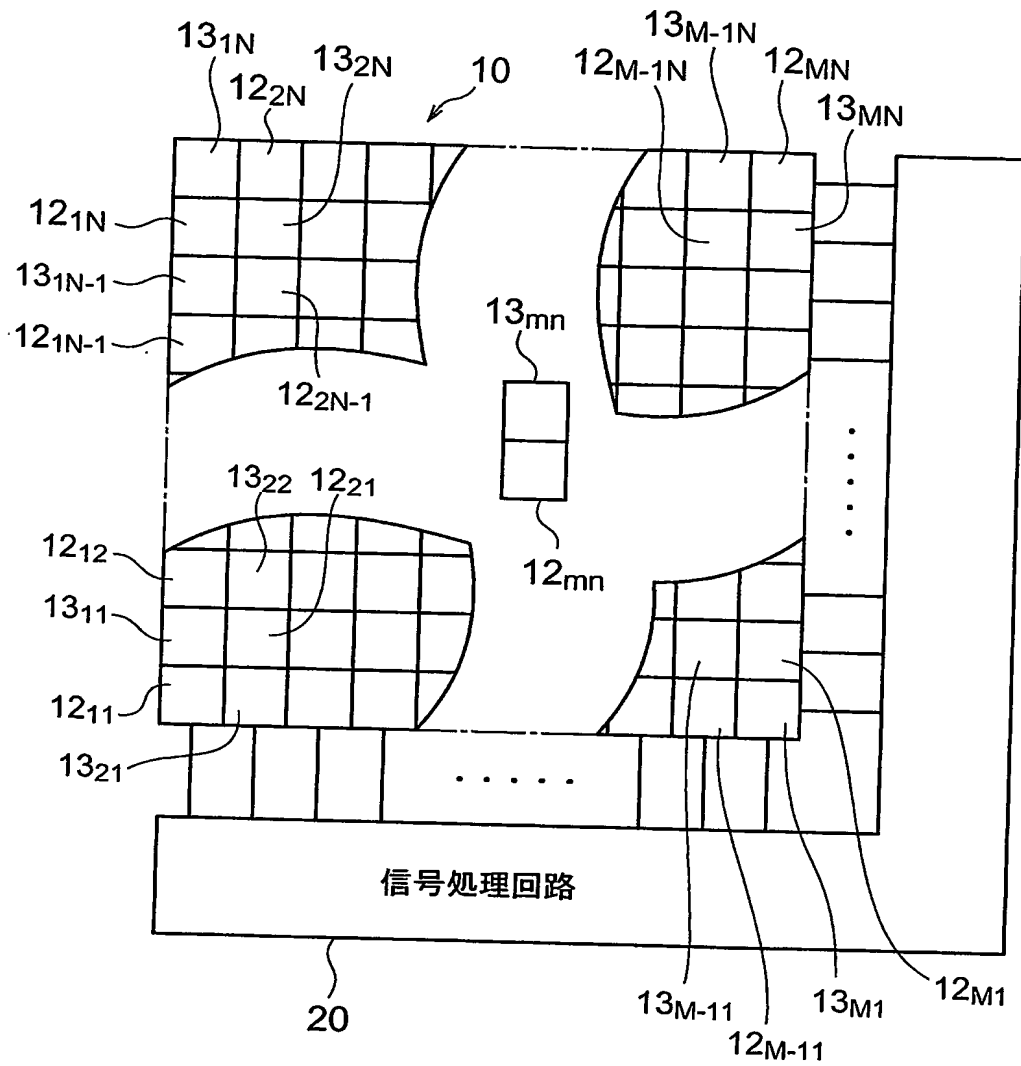
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 2次元位置の検出処理の高速化及び構成の簡素化を図ることができる光検出装置を提供する。

【解決手段】 信号処理回路20は、スイッチ素子21、シフトレジスタ22及び積分回路23を有し、光感应領域10に入射した光の第2の方向及び第1の方向での輝度プロファイル示す電圧 V_{out} を出力する。スイッチ素子21は、第1の方向に配列された複数の画素間において電氣的に接続された一方の光感应部分群と、第2の方向に配列された複数の画素間において電氣的に接続された他方の光感应部分群とに対応して設けられる。シフトレジスタ22は、一方の光感应部分群からの電流出力を第2の方向に順次読み出し、他方の光感应部分群からの電流出力を第1の方向に順次読み出すためのものである。積分回路23は、シフトレジスタ22により順次読み出される各一方の光感应部分群及び各他方の光感应部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する。

【選択図】 図9

特願 2 0 0 3 - 0 7 8 6 2 4

ページ： 1/E

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 6 4 3 6]

1. 変更年月日

1 9 9 0 年 8 月 1 0 日

[変更理由]

新規登録

住 所

静岡県浜松市市野町 1 1 2 6 番地の 1

氏 名

浜松ホトニクス株式会社